

SIMULATOR FOR CONTROLLER

Patent Number: JP6161987
Publication date: 1994-06-10
Inventor(s): OHASHI HIDEYUKI; others: 01
Applicant(s): NIPPONDENSO CO LTD; others: 01
Requested Patent: JP6161987
Application Number: JP19920330981 19921117
Priority Number(s):
IPC Classification: G06F15/20; F02D45/00
EC Classification:
Equivalents:

Abstract

PURPOSE: To perform real packaging evaluation on software by providing ECU hardware simulatively.

CONSTITUTION: This simulator is provided with an arithmetic processing circuit 1, memory 11 for storage of an arithmetic control program, plural circuit blocks 2A, 2B, and 3 provided with a constant signal processing function, respectively, plural matrix switches 4A-4E interposed among an input signal line, an output signal line, the arithmetic processing circuit 1, and the signal lines of the circuit blocks 2A, 2B, and 3, a matrix set control circuit 51 which provides a desired connection state among an input signal, an output signal, the arithmetic processing circuit 1, and the circuit blocks 2A, 2B, and 3 by operating the matrix switches 4A-4E selectively, and a matrix set data distribution circuit 52. When the matrix switches 4A-4E are operated selectively, the connection state is changed, and desired hardware requested by the arithmetic control program being developed can be provided.

Data supplied from the esp@cenet database - I2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-161987

(43)Date of publication of application : 10.06.1994

(51)Int.Cl. G06F 15/20
F02D 45/00

(21)Application number : 04-330981 (71)Applicant : NIPPONDENSO CO LTD
TOYOTA MOTOR CORP

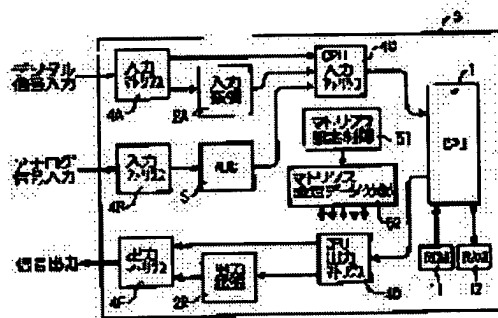
(22)Date of filing : 17.11.1992 (72)Inventor : OHASHI HIDEYUKI
ANZAI KATSUSHI

(54) SIMULATOR FOR CONTROLLER

(57)Abstract:

PURPOSE: To perform real packaging evaluation on software by providing ECU hardware simulatively.

CONSTITUTION: This simulator is provided with an arithmetic processing circuit 1, memory 11 for storage of an arithmetic control program, plural circuit blocks 2A, 2B, and 3 provided with a constant signal processing function, respectively, plural matrix switches 4A-4E interposed among an input signal line, an output signal line, the arithmetic processing circuit 1, and the signal lines of the circuit blocks 2A, 2B, and 3, a matrix set control circuit 51 which provides a desired connection state among an input signal, an output signal, the arithmetic processing circuit 1, and the circuit blocks 2A, 2B, and 3 by operating the matrix switches 4A-4E selectively, and a matrix set data distribution circuit 52. When the matrix switches 4A-4E are operated selectively, the connection state is changed, and desired hardware requested by the arithmetic control program being developed can be provided.



LEGAL STATUS

[Date of request for examination] 06.01.1998

[Date of sending the examiner's decision of rejection] 04.01.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-161987

(43) 公開日 平成6年(1994)6月10日

(51) Int.Cl.⁵

G 0 6 F 15/20

F 0 2 D 45/00

識別記号

D 7052-5L

3 4 5 Z 7536-3G

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 4 頁)

(21) 出願番号 特願平4-330981

(22) 出願日 平成4年(1992)11月17日

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(71) 出願人 000003207

トヨタ自動車株式会社

愛知県豊田市トヨタ町1番地

(72) 発明者 大橋 英之

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 安西 克史

愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

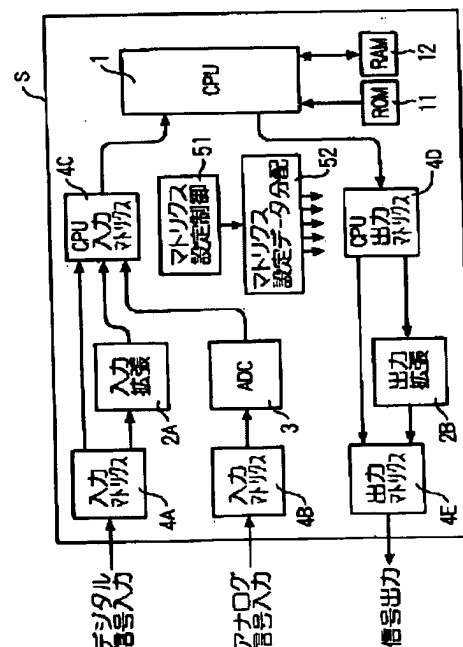
(74) 代理人 弁理士 伊藤 求馬

(54) 【発明の名称】 制御装置のシミュレータ

(57) 【要約】

【目的】 ECUハードウェアを疑似的に実現してソフトウェアの実機評価を可能とする。

【構成】 演算処理回路1と、演算制御プログラムの格納用メモリ11と、それぞれ一定の信号処理機能を有する複数の回路ブロック2A、2B、3と、入力信号線、出力信号線、上記演算処理回路1および回路ブロック2A、2B、3間の信号線のそれぞれに介在せしめた複数のマトリクススイッチ4A、4B、4C、4D、4Eと、これらマトリクススイッチ4A~4Eを選択作動せしめて入力信号、出力信号、演算処理回路1および回路ブロック2A、2B、3間に所望の接続状態を実現するマトリクス設定制御回路51およびマトリクス設定データ分配回路52とを有している。マトリクススイッチ4A~4Eを選択作動せしめると、接続状態が変更されて、開発中の演算制御プログラムで要請される所望のハードウェアが実現される。



【特許請求の範囲】

【請求項1】 入力信号を処理して出力信号を発する制御装置のシミュレータにおいて、演算処理回路と、演算制御プログラムの格納用メモリと、それぞれ一定の信号処理機能を有する複数の回路ブロックと、入力信号線、出力信号線、上記演算処理回路および回路ブロック間の信号線のそれぞれに介在せしめた複数のスイッチ手段と、これらスイッチ手段を選択作動せしめて入力信号、出力信号、演算処理回路および回路ブロック間に所望の接続状態を実現するスイッチ制御手段とを具備する制御装置のシミュレータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は制御装置のシミュレータに関し、特に実機シミュレーションを行う場合等に好適なシミュレータに関する。

【0002】

【従来の技術】 自動車のエレクトロニクス化に伴い、種々の車種にマイクロコンピュータ内蔵の電子制御装置（ECU）が搭載されている。

【0003】

【発明が解決しようとする課題】 かかるECUのプログラム開発段階で、実際に車両に搭載して実機評価を行う必要があるが、ハードウェアの制作完了まで待っていたのでは開発スケジュールに支障をきたすことがある。

【0004】 本発明はかかる課題を解決するもので、所望のECUハードウェアを擬似的に実現してソフトウェアの実機評価を可能とする制御装置のシミュレータを提供することを目的とする。

【0005】 なお、特開平3-78076号公報には、車両等の制御対象の各機能を実現する複数のプロセッサをホストプロセッサで適宜選択して模擬的に制御対象を実現し、シミュレーションを行うシミュレータが開示されている。

【0006】

【課題を解決するための手段】 本発明の構成を説明すると、入力信号を処理して出力信号を発する制御装置のシミュレータにおいて、演算処理回路1と、演算制御プログラムの格納用メモリ11と、それぞれ一定の信号処理機能を有する複数の回路ブロック2A、2B、3と、入力信号線、出力信号線、上記演算処理回路1および回路ブロック2A、2B、3間の信号線のそれぞれに介在せしめた複数のスイッチ手段4A、4B、4C、4D、4Eと、これらスイッチ手段4A～4Eを選択作動せしめて入力信号、出力信号、演算処理回路1および回路ブロック2A、2B、3間に所望の接続状態を実現するスイッチ制御手段51、52とを具備している。

【0007】

【作用】 上記構成において、スイッチ制御手段51、52によりスイッチ手段4A～4Eを選択作動せしめる

と、接続状態が変更されて、開発中の演算制御プログラムで要請される所望のハードウェアが実現される。しかして、上記演算制御プログラムを格納用メモリに記憶せしめ、かかるシミュレータを実機に搭載してプログラムの評価試験を行うことができる。

【0008】

【実施例】 図1にはシミュレータの全体構成を示す。シミュレータは演算処理回路（CPU）1、これに接続され演算制御プログラムを格納するリードオンリメモリ（ROM）11および補助記憶用のランダムアクセスメモリ（RAM）12、入力拡張回路2A、出力拡張回路2B、アナログ・デジタル変換器（ADC）3を有する。

【0009】 全てのデジタル信号入力は入力マトリクススイッチ4Aに入力し、これを経て直接、ないし直一並列変換等を行う入力拡張回路2Aを経て、CPU入力マトリクススイッチ4Cに入力している。一方、全てのアナログ信号入力は入力マトリクススイッチ4Bに入力し、この後、ADC3を経て上記CPU入力マトリクススイッチ4Cに入力している。CPU入力マトリクススイッチ4CはCPU1の入力ポートに接続されている。

【0010】 CPU1で演算処理されてその出力ポートに出力された信号はCPU出力マトリクススイッチ4Dに入力し、これを経て直接、ないしさらに出力拡張回路2Bを経て、出力マトリクススイッチ4Eに入力し、外部へ出力される。なお、CPU1およびROM11はソケット式で着脱自在である。また、各マトリクススイッチ4A～4Eは、マトリクス設定制御回路51およびマトリクス設定データ分配回路52により後述の如く選択作動せしめられる。

【0011】 上記各マトリクススイッチ4A～4Eの区別は機能上のもので、実際のハードウェアは図2に示す如く、32チャンネル×32チャンネルのマトリクススイッチIC41（例えばインモス社製リンクスイッチ等）をマトリクスボード4上に9個設けて、96チャンネル×96チャンネルのマトリクススイッチとなし、これらマトリクススイッチを適宜区画して上記各マトリクススイッチ4A～4Eとする。但し、4Bはアナログスイッチによるマトリクスである。

【0012】 マトリクススイッチIC41内のスイッチ素子はマトリクス設定データ分配回路52の出力信号により適宜選択作動せしめられる。すなわち、マトリクス設定データ分配回路52には、シミュレータ外のパソコン等を使用したマトリクス設定制御回路51よりスイッチ選択信号が入力し、上記分配回路52はスイッチ選択信号を各スイッチ素子に対する作動信号にデコードして出力する。

【0013】 マトリクス設定制御回路51に、表1に示す如く、CPU1の各ポート名と各信号名の対応を示す接続データをテキストエディタ等により入力すると、か

かるデータは専用コンパイラにより解説変換されて上記スイッチ選択信号となる。

【0014】

【表1】

ポート名	信号名
PA0	STA
PA1	NSW
⋮	⋮
DOUT0	IGT

【0015】かかるシミュレータにより実現されるECUの一例を図3に示す。各入力信号は直接、あるいはADC3や入力拡張回路2Aを経て、使用するCPU1の所定の入力ポートへ入力される。また、上記CPU1の所定の出力ポートに得られる出力信号は直接、あるいは出力拡張回路2Bを経て出力される。また、出力拡張回路2Bの出力の一部は入力拡張回路2Aへ再入力せしめられる。

【0016】しかして、使用するCPU1と、開発中の制御プログラムを格納したROM11とを装着し、マトリクス設定制御回路51に所定の上記接続データを入力すれば、擬似的にECU構成が実現され、これを実車に搭載してプログラム評価をすることができる。

【0017】なお、上記マトリクススイッチ41に代え

てアナログスイッチ、リレー、マルチプレクサ等を使用しても良い。

【0018】また、本発明は単一のCPUを使用したものに限られず、CPUを複数使用したECUにも適用することができる。

【0019】

【発明の効果】以上の如く、本発明のシミュレータによれば、所望のECUのハードウェアを擬似的に構成して、開発中のプログラムの実機評価を行うことができ、

10 開発スケジュールの短期化が可能である。

【図面の簡単な説明】

【図1】シミュレータのブロック構成図である。

【図2】マトリクススイッチのハード構成図である。

【図3】実現されるECUの一例を示すブロック構成図である。

【符号の説明】

1 演算処理回路

11 リードオンリメモリ（格納用メモリ）

2A 入力拡張回路（回路ブロック）

20 2B 出力拡張回路（回路ブロック）

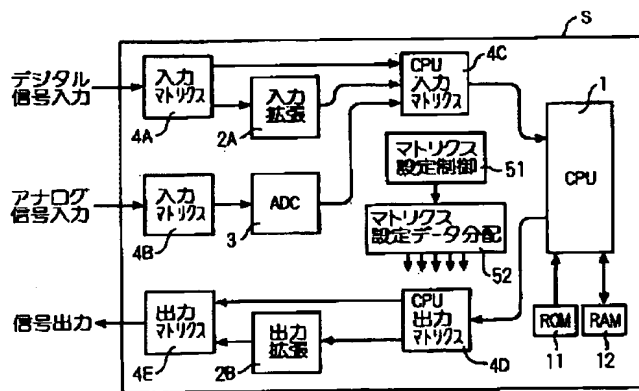
3 アナログ・デジタル変換器（回路ブロック）

4A, 4B, 4C, 4D, 4E マトリクススイッチ（スイッチ手段）

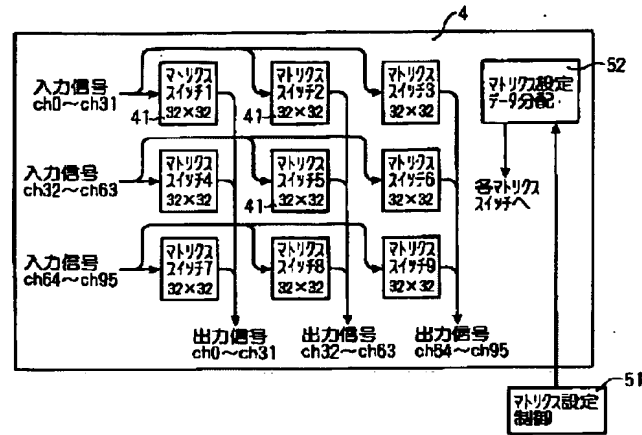
51 マトリクス設定制御回路（スイッチ制御手段）

52 マトリクス設定データ分配回路（スイッチ制御手段）

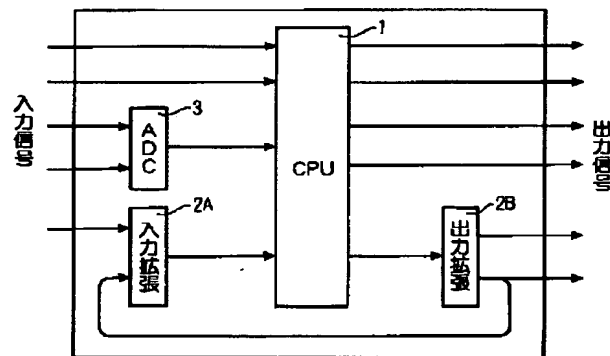
【図1】



【図2】



【図3】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-161987
 (43)Date of publication of application : 10.06.1994

(51)Int.Cl. G06F 15/20
 F02D 45/00

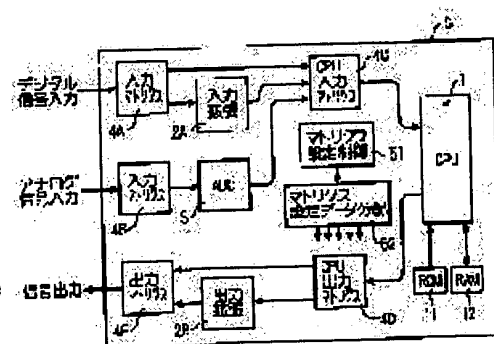
(21)Application number : 04-330981 (71)Applicant : NIPPONDENSO CO LTD
 TOYOTA MOTOR CORP
 (22)Date of filing : 17.11.1992 (72)Inventor : OHASHI HIDEYUKI
 ANZAI KATSUSHI

(54) SIMULATOR FOR CONTROLLER

(57)Abstract:

PURPOSE: To perform real packaging evaluation on software by providing ECU hardware simulatively.

CONSTITUTION: This simulator is provided with an arithmetic processing circuit 1, memory 11 for storage of an arithmetic control program, plural circuit blocks 2A, 2B, and 3 provided with a constant signal processing function, respectively, plural matrix switches 4A-4E interposed among an input signal line, an output signal line, the arithmetic processing circuit 1, and the signal lines of the circuit blocks 2A, 2B, and 3, a matrix set control circuit 51 which provides a desired connection state among an input signal, an output signal, the arithmetic processing circuit 1, and the circuit blocks 2A, 2B, and 3 by operating the matrix switches 4A-4E selectively, and a matrix set data distribution circuit 52. When the matrix switches 4A-4E are operated selectively, the connection state is changed, and desired hardware requested by the arithmetic control program being developed can be provided.



LEGAL STATUS

[Date of request for examination] 06.01.1998

[Date of sending the examiner's decision of rejection] 04.01.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the simulator of the control unit which processes an input signal and emits an output signal A data-processing circuit, the memory for storing of an operation control program, and two or more circuit blocks that have a respectively fixed signal-processing function, Two or more switching means made to be placed between each of the signal line between an input signal line, an output-signal line, the above-mentioned data-processing circuit, and a circuit block, The simulator of the control unit possessing the switch control means which carries out selection actuation of these switching means, and realizes a desired connection condition between an input signal, an output signal, a data-processing circuit, and a circuit block.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] About the simulator of a control unit, especially this invention relates to a suitable simulator, when performing system simulation.

[0002]

[Description of the Prior Art] The electronic control (ECU) with a built-in microcomputer is carried in various types of a car with electronics-izing of an automobile.

[0003]

[Problem(s) to be Solved by the Invention] Although it is necessary to actually carry in a car and to perform system evaluation in the program development phase of this ECU, trouble may be caused to a development schedule in having waited till the completion of work of hardware.

[0004] This invention solves this technical problem and it aims at offering the simulator of the control unit which realizes desired ECU hardware in false and enables system evaluation of software.

[0005] In addition, two or more processors which realize each function of the controlled system of a car etc. are suitably chosen as JP,3-78076,A by the host processor, a controlled system is realized in simulation, and the simulator which performs simulation is indicated.

[0006]

[Means for Solving the Problem] In the simulator of the control unit which will process an input signal and will emit an output signal if the configuration of this invention is explained The data-processing circuit 1, the memory 11 for storing of an operation control program, and two or more circuit block 2A which has a respectively fixed signal-processing function, 2B and 3, An input signal line, an output-signal line, the above-mentioned data-processing circuit 1 and circuit block 2A, 2B, and two or more switching means 4A, 4B, 4C, 4D, and 4E made to be placed between each of the signal line between three, The switch control means 51 and 52 which carry out selection actuation of these switching means 4A-4E, and realize a desired connection condition between an input signal, an output signal, the data-processing circuit 1 and circuit block 2A, 2B, and 3 are provided.

[0007]

[Function] In the above-mentioned configuration, if selection actuation of the switching means 4A-4E is carried out by the switch control means 51 and 52, a connection condition will be changed and hardware of the request demanded with the operation control program under development will be realized. Can carry out a deer, the memory for storing is made to be able to memorize the above-mentioned operation control program, this simulator can be carried in the system, and the evaluation trial of a program can be performed.

[0008]

[Example] The whole simulator configuration is shown in drawing 1 . A simulator has the data-processing circuit (CPU) 1, the read-only memory (ROM) 11 which is connected to this and stores an operation control program and the random access memory (RAM) 12 for secondary memory, input escape circuit 2A, output escape circuit 2B, and an analog-to-digital converter (ADC) 3.

[0009] All digital signal inputs were inputted into input matrix switch 4A, and are inputted into CPU input matrix switch 4C through input escape circuit 2A which performs direct thru/or a direct-parallel conversion, etc. through this. On the other hand, all analog signal inputs were inputted into input matrix switch 4B, and are inputted into above-mentioned CPU input matrix switch 4C through ADC3 after this. CPU input matrix switch 4C is connected to the input port of CPU1.

[0010] The signal which data processing was carried out by CPU1, and was outputted to the output port is inputted into

CPU output matrix switch 4D, is inputted directly thru/or further into output matrix switch 4E through output escape circuit 2B through this, and is outputted to the exterior. In addition, CPU1 and ROM11 can be freely detached and attached by the socket formula. Moreover, the matrix setting control circuit 51 and the matrix setting data distribution circuit 52 carry out selection actuation of each matrix switches 4A-4E like the after-mentioned.

[0011] Distinction of each above-mentioned matrix switches 4A-4E is a thing on a function, and as shown in drawing 2, actual hardware forms the 32 channel x32 channel matrix switches IC 41 (for example, link switch by Inmos, Ltd. etc.) on [nine] a matrix board 4, it divides suitably a 96 channel x96 channel matrix switch, and nothing and these matrices switch, and considers them as each above-mentioned matrix switches 4A-4E. However, 4B is a matrix by the analog switch.

[0012] The switching device in the matrix switch IC 41 carries out selection actuation suitably with the output signal of the matrix setting data distribution circuit 52. That is, from the matrix setting control circuit 51 which used the personal computer besides a simulator etc., a switch selection signal inputs, and the above-mentioned distribution circuit 52 decodes a switch selection signal to the active signal over each switching device, and is outputted to the matrix setting data distribution circuit 52.

[0013] If the connection data in which correspondence of each port name of CPU1 and each signal name is shown are inputted into the matrix setting control circuit 51 with a text editor etc. as shown in Table 1, decode conversion will be carried out by the exclusive compiler, and these data will serve as the above-mentioned switch selection signal.

[0014]

[Table 1]

ポート名	信号名
PA0	STA
PA1	NSW
⋮	⋮
DOUT0	IGT

[0015] An example of ECU realized by this simulator is shown in drawing 3. Each input signal is inputted into the predetermined input port of CPU1 to be used through direct or ADC3, or input escape circuit 2A. Moreover, the output signal acquired in the predetermined output port of the above CPU 1 is outputted through direct or output escape circuit 2B. Moreover, it is made to reinput a part of output of output escape circuit 2B to input escape circuit 2A.

[0016] If it equips with CPU1 used carrying out a deer, and ROM11 which stored the control program under development and the above-mentioned predetermined connection data are inputted into the matrix setting control circuit 51, an ECU configuration can be realized in false, this can be carried in a real vehicle, and program evaluation can be carried out.

[0017] In addition, it may replace with the above-mentioned matrix switch 41, and an analog switch, a relay, a multiplexer, etc. may be used.

[0018] Moreover, this invention is not restricted to what used single CPU, but can be applied also to ECU which used two or more CPUs.

[0019]

[Effect of the Invention] Like the above, according to the simulator of this invention, the hardware of desired ECU can be constituted in false, system evaluation of the program under development can be performed, and short-period-izing of a development schedule is possible.

[Translation done.]

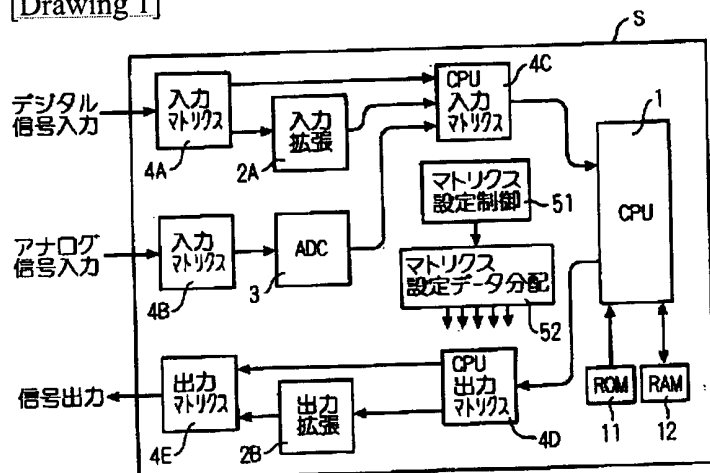
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

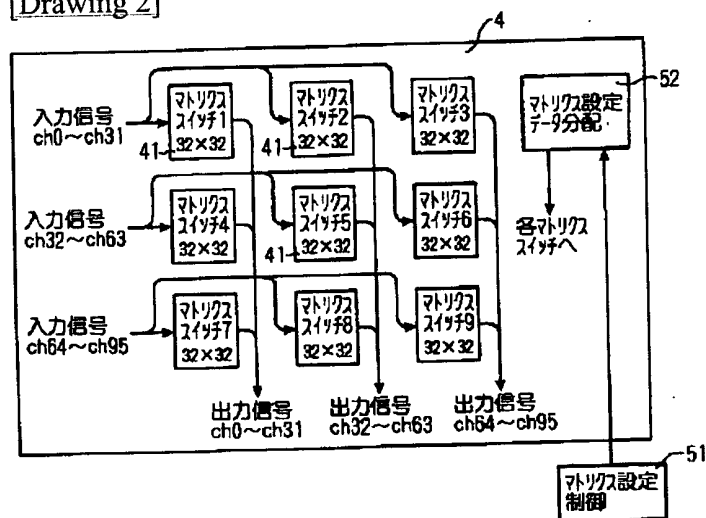
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

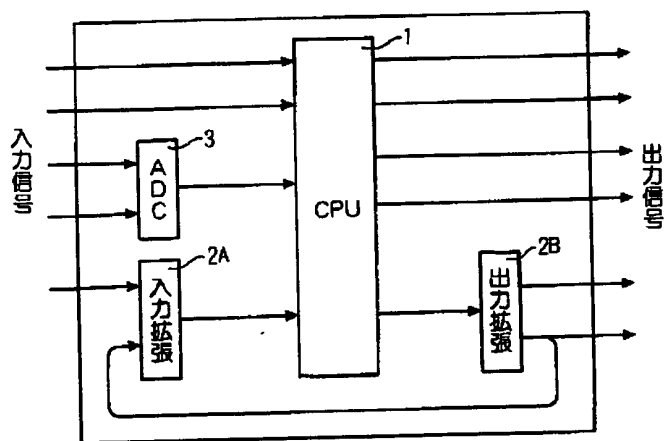
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]